

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-343691

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 29/784

9168-4M

H 0 1 L 29/ 78

3 2 1 H

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平4-147714

(22)出願日 平成4年(1992)6月8日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 加藤 有二

愛知県刈谷市昭和町1丁目1番地 日本電

装 株式会社内

(72)発明者 永見 啓明

愛知県刈谷市昭和町1丁目1番地 日本電

装 株式会社内

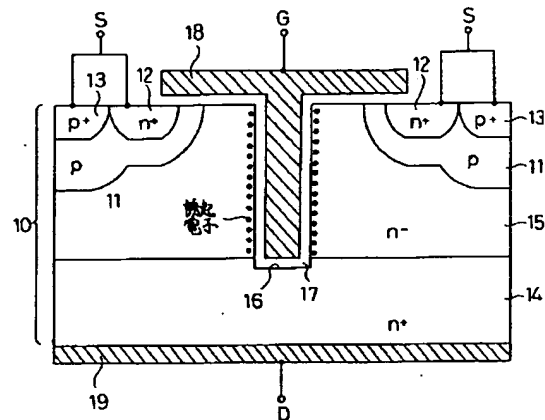
(74)代理人 弁理士 恩田 博宣

(54)【発明の名称】 縦型絶縁ゲート電界効果トランジスタ

(57)【要約】

【目的】 素子の耐圧を損なわずに単位面積当たりのオン抵抗 R_{ONS} をよりいっそう低減することができる縦型絶縁ゲート電界効果トランジスタを提供することにある。

【構成】 半導体基板10の表面部にp型ウェル領域11が形成され、そのウェル領域11内の一部に n^+ 型ソース領域12が形成されている。半導体基板10内での裏面側には n^+ 型ドレイン領域14が形成され、さらに、ウェル領域11とドレイン領域14との間には n^- 型ドリフト領域15が形成されている。半導体基板10の表面におけるウェル領域11に挟まれた領域には、溝16が形成され、溝16の内壁にはゲート酸化膜17が形成され、このゲート酸化膜17を介してゲート電極18が配置されている。トランジスタ・オン時には、ソース端子Sは接地され、ドレイン端子D及びゲート端子Gは正電圧が印加される。



10—半導体基板
11—p型ウェル領域
12— n^+ 型ソース領域
14— n^+ 型ドレイン領域
15— n^- 型ドリフト領域
16—溝
17—ゲート酸化膜
18—ゲート電極

【特許請求の範囲】

【請求項1】 半導体基板の表面部に第1導電型のソース領域と第2導電型のウェル領域とが形成され、半導体基板内に第1導電型のドレイン領域が形成されるとともに前記ウェル領域と前記ドレイン領域との間にドレイン領域あるいはソース領域に比較して低い不純物濃度の第1導電型のドリフト領域が形成された縦型絶縁ゲート電界効果トランジスタにおいて、隣接するウェル領域の間の半導体基板に両ウェル領域とは離間して溝を形成し、この溝内に絶縁膜を介して前記ドリフト領域の溝壁に沿った表面の多数キャリア濃度を増加させる電位の電極を配置したことを特徴とする縦型絶縁ゲート電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、縦型絶縁ゲート電界効果トランジスタ（縦型MOSFET）に係り、特にそのオン抵抗低減に関するものである。

【0002】

【従来の技術】従来、電力用の縦型MOSFETについては、図9に示す構造がとられる場合が多かった（例えば、特開昭63-254769号公報）。この素子のドレイン・ソース間耐圧はドリフト領域1の厚さ及び不純物濃度によって決まり、所望の耐圧に見合うような厚さと濃度に設定される。ウェル領域2の上部に配置されたゲート電極3に電圧が印加されるとウェル領域2内の半導体基板表面にはn型反転層が形成されソースとドレインの間に電流が流れる。実際の縦型MOSFETでは図9中にAで示した部分（セル）が繰り返し配置されたひとつの縦型MOSFETを構成している。Aの寸法L1は製造プロセス上あるいは素子特性上許容される限り小さく設定される。こうすることにより単位面積あたりに含まれる電流通路の数を最大にすることができる。

【0003】一方、電力用縦型MOSFETにおける重要な特性のひとつとして単位面積あたりのオン抵抗（ R_{ONS} と略称）がある。そして、この値が小さい程、電流を流した時のソース・ドレイン間の電圧降下が小さく素子で消費される電力を小さくすることができる。オン抵抗 R_{ONS} を下げるには素子自身の抵抗を下げるか、単位素子面積を縮小する必要がある。

【0004】図10に示した斜線部はドリフト領域1内の電流の通路を示している。ネックが形成されるのは半導体基板の縦方向に寄生的にできる接合型電界効果トランジスタ（JFETと略称）の効果によるものである。つまり、ドリフト領域1の抵抗成分により電流通路にそって電位差が生じ、接地電位に固定されたソース領域4及びウェル領域2とドリフト領域1の間の電位差によりウェル領域2とドリフト領域1の間の接合が逆バイアスされ比較的純物濃度の低いドリフト領域1側に空乏層が広がって電流通路がせばめられるものである。このJ

FETの効果が作用する領域の抵抗を R_{JFET} とする。1個の縦型MOSFETセルにおけるソース端子Sとドレイン端子D間のオン抵抗 R_{CELL} は、 R_{JFET} の他にソース領域4の抵抗 R_{S} 、チャネル抵抗 R_{CH} 、ドリフト領域1の抵抗 R_{DRI} 、及びドレイン領域5の抵抗 R_{DRA} によって表すことができる。すなわち、

$$R_{\text{CELL}} = R_{\text{S}} + R_{\text{CH}} + R_{\text{JFET}} + R_{\text{DRI}} + R_{\text{DRA}} \cdots (1)$$

又、 R_{CELL} と R_{ONS} の関係は次式で与えられる。

$$【0005】 R_{\text{ONS}} = R_{\text{CELL}} / N \cdots (2)$$

ただし、Nは単位面積当たりのセル数。図10に示した隣接するゲート電極3の間の距離L2は、ソース領域4、及びウェル領域2の電位を与えるための p^+ 領域6と配線の接触をとるためのスペースである。このL2は素子を形成するプロセスの加工精度に依存するもので、製造装置やプロセスを特定すれば決まってしまう、減らすことには限界がある。図11にウェル領域2の間隔L3に対する単位面積当たりのオン抵抗 R_{ONS} の関係を示す。L3を小さくすると、図10に示す電流通路のネックが細くなり R_{JFET} が増大し、Nの増加よりも R_{CELL} の増加が大きくなるため R_{ONS} は増加する。逆にL3を大きくするとJFETの効果は弱くなるが、面積が不必要に増えてしまい、 R_{ONS} はやはり増加する。結果として耐圧の仕様とプロセスの加工精度が決まれば、図11のように R_{ONS} が最小値をとるL3の最適値が存在する。

【0006】図11に示す R_{ONS} の最小値をさらに低下させるために、特開昭63-254769号公報には図12に示す構造が提案されている。この構造はウェル領域2で挟まれた領域に溝7を掘り、この溝7の周辺に高濃度不純物層8を形成して、この部分の抵抗を下げている。従って、ウェル領域2とドリフト領域1との境界部分からドリフト領域1に向かって空乏層が広がってきても溝7の周辺の高濃度不純物層8は空乏化されず低抵抗の状態を保つことができ R_{JFET} を極めて小さくすることができる。従って、

$$R_{\text{CELL}} = R_{\text{S}} + R_{\text{CH}} + R_{\text{DRI}} + R_{\text{DRA}} \cdots (3)$$

このように図12の構造はJFET効果によるオン抵抗の増大を抑えることができ、換言すると、同じ R_{JFET} ならば、ウェル領域2の間隔L3を短くすることができ、セル数Nを変えずに R_{CELL} を減少させることで、図9の構造に比べてより R_{ONS} を低くできる。

【0007】

【発明が解決しようとする課題】ところが、図12に示す従来技術は図9に示す従来技術に比べると R_{ONS} を減少する手段としてある程度は効果が期待できる。しかし、近年、微細加工技術が進歩し、耐圧数十ボルトの低耐圧仕様の縦型MOSFETについては、図10に示すウェル領域2の間隔L3は数 μm に縮小でき、また図9中のAの寸法L1が20 μm 以下にできるようになった。この結果、図12に示す従来技術では、ウェル領域2と高濃度不純物層8との間のリーチスルー耐圧をウェ

ル領域2とドレイン領域5との間のリーチスルー耐圧よりも高く設定する必要性から逆にウエル領域2の間隔L3を大きくしなければならず面積が不必要に増えてしまい(2)式から明らかなように R_{CELL} を小さくしても、それ以上にNが小さくなるため R_{ONS} がかえって増加する問題があった。又、図12に示す従来技術は R_{JFET} を減少させる効果だけであり、その他の R_{DRI} は減少しないため R_{ONS} の減少率は少なかった。すなわち、素子の耐圧を損なわずに必ずしも R_{ONS} を低減することはできなかった。

【0008】そこで、この発明の目的は、素子の耐圧を損なわずに単位面積当たりのオン抵抗 R_{ONS} をよりいっそう低減することができる縦型絶縁ゲート電界効果トランジスタを提供することにある。

【0009】

【課題を解決するための手段】この発明は、半導体基板の表面部に第1導電型のソース領域と第2導電型のウエル領域とが形成され、半導体基板内に第1導電型のドレイン領域が形成されるとともに前記ウエル領域と前記ドレイン領域との間にドレイン領域あるいはソース領域と比較して低い不純物濃度の第1導電型のドリフト領域が形成された縦型絶縁ゲート電界効果トランジスタにおいて、隣接するウエル領域の間の半導体基板に両ウエル領域とは離間して溝を形成し、この溝内に絶縁膜を介して前記ドリフト領域の溝壁に沿った表面の多数キャリア濃度を増加させる電位の電極を配置した縦型絶縁ゲート電界効果トランジスタをその要旨とするものである。

【0010】

【作用】上述のように溝内の電極はドリフト領域の溝壁に沿った表面の多数キャリア濃度を増加させる電位とされている。例えば、第1導電型がn型の場合は高い電位に設定されるもので、溝の外側の側壁に電子が誘起しキャリア濃度が上がる。そして、トランジスタのオン状態においては、溝の外側の側壁部分に低抵抗の電流経路ができる。この電流経路はウエル領域とドリフト領域の境界部分からドリフト領域に向かって空乏層が拡がってきても、それには影響されない。その結果、JFETの効果が作用する領域の抵抗 R_{JFET} とドリフト領域の抵抗 R_{DRI} とが減少する。一方、図12に示す従来装置では高濃度不純物層8の存在によりリーチスルー耐圧を考慮する必要があったが、本装置ではそれが不要となる。

【0011】

【実施例】以下、この発明を具体化した一実施例を図面に従って説明する。図1に本実施例の縦型MOSFETの断面図を示す。

【0012】半導体基板10の表面部にp型ウエル領域11が形成され、そのp型ウエル領域11内の一部にn⁺型ソース領域12及びp⁺型ウエルコンタクト領域13が形成されている。又、半導体基板10内での裏面側

にはn⁺型ドレイン領域14が形成されている。さらに、p型ウエル領域11とn⁺型ドレイン領域14の間には、n⁺型ドレイン領域14あるいはn⁺型ソース領域12と比較して低い不純物濃度のn⁻型ドリフト領域15が形成されている。

【0013】半導体基板10の表面におけるp型ウエル領域11に挟まれた領域には、p型ウエル領域11と離間して溝16が形成され、この溝16はn⁻型ドリフト領域15を貫通してn⁺型ドレイン領域14の表面に至っている。半導体基板10の表面、及び溝16の内壁には絶縁膜としてのゲート酸化膜17が形成され、このゲート酸化膜17を介して溝16内に延びるゲート電極18が配置されている。

【0014】又、半導体基板10の裏面には裏面電極19が形成されている。このトランジスタは次のように製造される。つまり、n⁺型半導体基板(ドレイン領域14)上にn⁻型エピタキシャル層を形成し、そのエピタキシャル層に対しドレイン領域14に至る溝16を形成する。そして、ゲート酸化膜17を介してゲート電極18を配置する。さらに、このゲート電極18をマスクとしてp型ウエル領域11及びn⁺型ソース領域12を二重拡散にて形成する。その後、所定のマスクパターンを用いてp⁺型ウエルコンタクト領域13を形成する。一方、n⁺型半導体基板(ドレイン領域14)の裏面に裏面電極19を形成する。

【0015】そして、n⁺型ソース領域12及びp⁺型ウエルコンタクト領域13にはソース端子Sが接続され、ゲート電極18にはゲート端子Gが接続され、さらに、裏面電極19にはドレイン端子Dが接続される。

【0016】このような縦型絶縁ゲート電界効果トランジスタをオン状態、即ち、ソース端子Sを接地、ドレイン端子D及びゲート端子Gに正電圧を印加すると、図2に示すように溝16の外側の側壁に電子が誘起しキャリア濃度が上がり、この部分に低抵抗の電流経路ができる。

【0017】そして、この電流経路は、p型ウエル領域11とn⁻型ドリフト領域15との境界部分からn⁻型ドリフト領域15に向かって空乏層が拡がってきても、それには影響されない。

【0018】結果としてJFETの効果が作用する領域の抵抗 R_{JFET} とn⁻型ドリフト領域15の抵抗 R_{DRI} を減少させることができる。その結果をシュミレーション計算すると、図3のようになる。この図から、溝16の外側の側壁に電流経路が確認された。

【0019】又、シュミレーション計算により、図9に示す従来のセルにおけるソース・ドレイン間のオン抵抗 R_{CELL} と比較したところ、

【0020】

【数1】

$$\frac{R_{\text{CELL}}(\text{本実施例})}{R_{\text{CELL}}(\text{従来})} = \frac{R_S + R_{\text{CH}}}{R_S + R_{\text{CH}} + R_{\text{UFET}} + R_{\text{DRI}}} = 0.89 \quad (R_{\text{DRA}} \text{は除いて})$$

【0021】という結果が得られた。この計算において、セルサイズ $L1 = 16 \mu\text{m}$ 、 $L3 = 8 \mu\text{m}$ 、溝幅 $= 2 \mu\text{m}$ 、拡散層プロファイルは図9と図1で同じである。

【0022】又、本実施例でのソース・ドレイン間耐圧は、図4においてBで示すように、溝側壁の電位等高線が密となる高電界強度部分によって決まる（ここでブレークダウンする）。つまり、耐圧はp型ウエル領域11と溝16との距離には関係無くなる。故に、隣接するウエル領域11との間隔 $L3$ を溝16の幅まで小さくできる。

【0023】さらに、より高耐圧の構造にするには図5に示すように、溝16内に配置した上下方向に延びる電極21と左右方向に延びるゲート電極22とを、別部材とし、電極21とドレイン端子Dとを抵抗23を介して接続する。このように、ドレイン端子Dと溝内電極21との間の電位差を一定値内にする。この図5のようにすると、溝16内の電極21の電位は図1でのゲート電極18より高くなるので、耐圧は溝側壁の電界強度では決まらず、p型ウエル領域11から n^+ 型ドレイン領域14へのリーチスルー耐圧又は、溝16内の酸化膜17の耐圧によって決まる。

【0024】尚、本実施例では、UMOSのように溝16の側壁にチャネルは形成されず、あくまでもウエハ上面にチャネルが形成される。こうすることにより、溝16の側壁の結晶欠陥部分にチャネルが無くpn接合部でのリーク電流を抑制することができるとともに、図5に示すような耐圧設計をしやすい構造とすることができる。

【0025】このように本実施例では、隣接するp型ウエル領域11の間の半導体基板10に両ウエル領域11

とは離間して溝16を形成し、この溝16内にゲート酸化膜17（絶縁膜）を介してドリフト領域15より高い電位のゲート電極18を配置したので、トランジスタをオン状態（ソース端子Sを接地、ドレイン端子D及びゲート端子Gに正電圧）にすると、溝16の外側の側壁に電子が誘起しキャリア濃度が上がり、この部分に低抵抗の電流経路ができる。そして、この電流経路はウエル領域11とドリフト領域15の境界部分からドリフト領域15に向かって空乏層が広がってきても、それには影響されない。その結果、JFETの効果が作用する領域の抵抗 R_{JFET} とドリフト領域の抵抗 R_{DRI} とが減少する。一方、図12に示す従来装置では高濃度不純物層8の存在によりリーチスルー耐圧を考慮する必要があったが、本装置ではそれが不要となり、素子の耐圧を損なわずに単位面積当たりのオン抵抗 R_{ONS} をよりいっそう低減することができることとなる。

【0026】尚、この発明は上記実施例に限定されるものではなく、例えば、耐圧設計のやり方として、図6に示すように溝16の深さをウエル領域11よりも浅くし、ウエル領域11からドリフト領域15へ伸びる空乏層を溝16の下でピンチオフさせる。この場合のブレークダウン時のポテンシャル分布図を図7に示す。つまり、溝16の両側にあるウエル領域11から伸びる空乏層が溝16の下でつながるようにする。そして、溝深さを調節することで溝底エッジ部（図7でのBで示す）での電界強度を変えて、ここで耐圧を決める。この場合、耐圧30ボルト（図1の構造）から50ボルト前後に向上することができる。

【0027】又、オン抵抗に関しては

【0028】

【数2】

$$\frac{R_{\text{CELL}}(\text{本実施例})}{R_{\text{CELL}}(\text{図9の従来})} = \frac{R_S + R_{\text{CH}} + R_{\text{DRI}}}{R_S + R_{\text{CH}} + R_{\text{UFET}} + R_{\text{DRI}} + R_{\text{ONS}}} = 0.90 \quad (R_{\text{DRA}} \text{は除いて})$$

【0029】となる。又、他の態様として図8に示すように溝16の底部に高濃度 n^+ 低抵抗領域20を配置してもよい。この場合には、図6に示すトランジスタにおける R_{DRI} をも低減することができる。

【0030】以上、本発明をnチャネル型MOSFETに採用した場合を例にとりて示したが、pチャネル型MOSFETに採用するようにしてもよい。その場合、ドリフト領域（ p^- 型）の溝壁には正孔を誘起するようにするもので、溝部の電極はドリフト領域より低い電位に設定される。

【0031】

【発明の効果】以上詳述したようにこの発明によれば、素子の耐圧を損なわずに単位面積当たりのオン抵抗R

をよりいっそう低減することができる優れた効果を発揮する。

【図面の簡単な説明】

【図1】実施例の縦型MOSFETの断面を示す図である。

【図2】溝側壁付近の n^- 領域のバンド図である。

【図3】トランジスタ・オン時のポテンシャル分布及び電流ベクトルを示す図である。

【図4】ブレークダウン時のポテンシャル分布及び電流ベクトルを示す図である。

【図5】実施例の縦型MOSFETの応用例を示す断面図である。

【図6】別例の縦型MOSFETの断面を示す図であ

る。

【図7】ブレークダウン時のポテンシャル分布及び電流ベクトルを示す図である。

【図8】他の別例の縦型MOSFETの断面を示す図である。

【図9】従来の縦型MOSFETの断面図である。

【図10】従来の縦型MOSFETの電流通路と抵抗成分を示す図である。

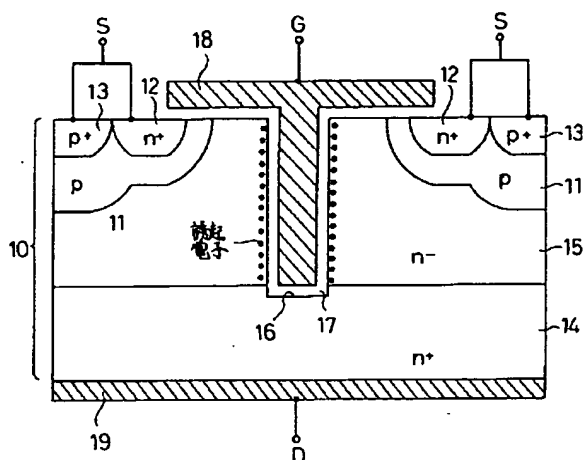
【図11】ウェル間隔と R_{ONS} との関係を示す図である。

【図12】従来の縦型MOSFETの断面図である。

【符号の説明】

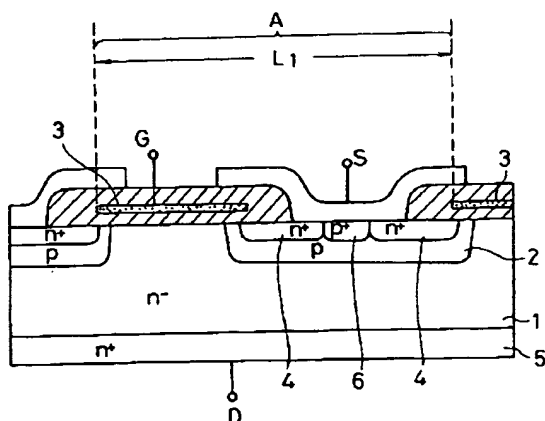
- 11 p型ウェル領域
- 12 n⁺型ソース領域
- 14 n⁺型ドレイン領域
- 15 n⁻型ドリフト領域
- 16 溝
- 17 絶縁膜としてのゲート酸化膜
- 18 ゲート電極

【図1】

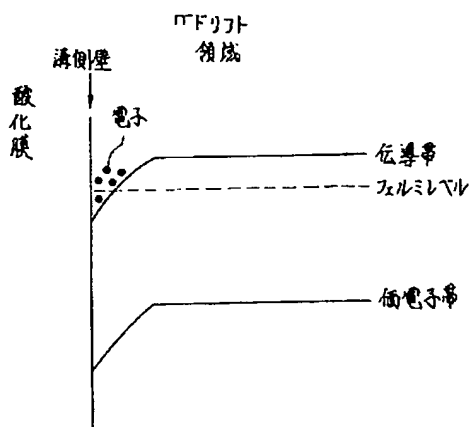


- 10—半導体基板
- 11—p型ウェル領域
- 12—n⁺型ソース領域
- 14—n⁺型ドレイン領域
- 15—n⁻型ドリフト領域
- 16—溝
- 17—ゲート酸化膜
- 18—ゲート電極

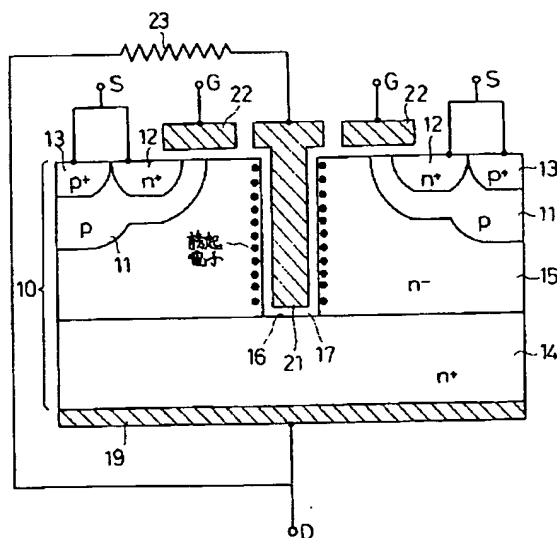
【図9】



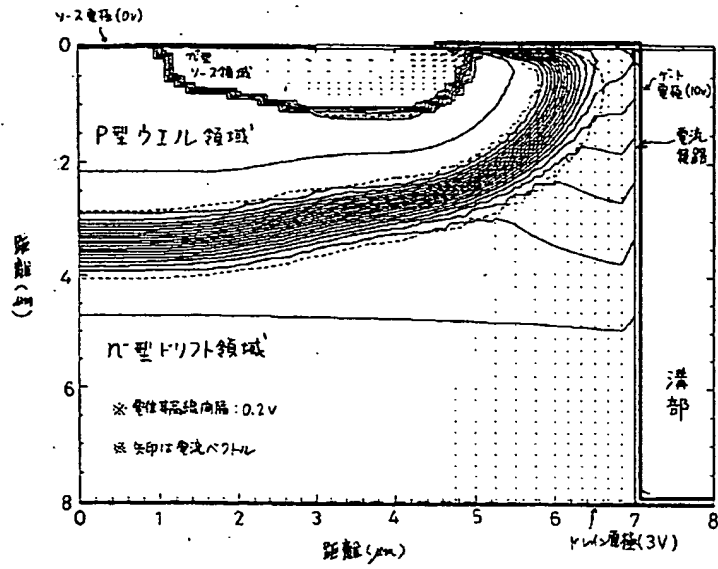
【図2】



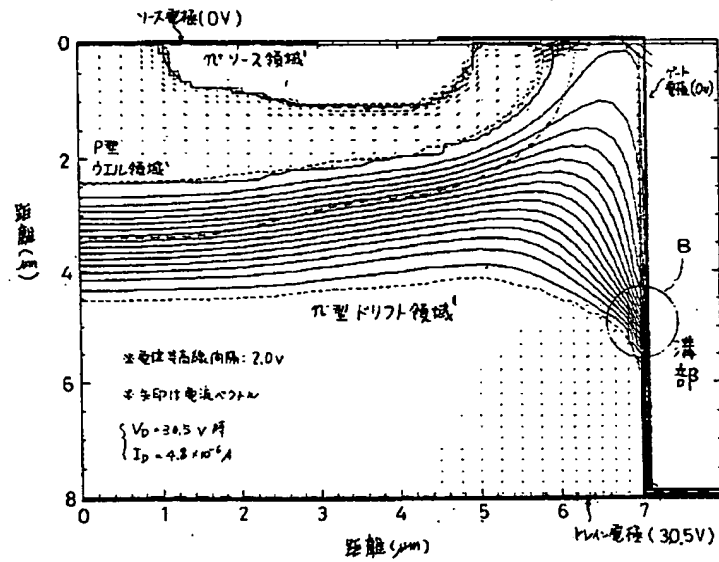
【図5】



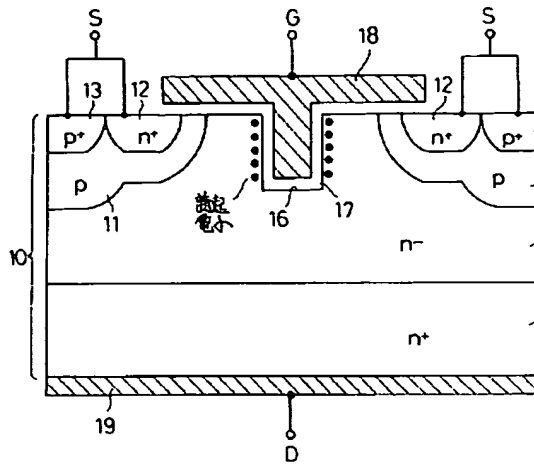
【図3】



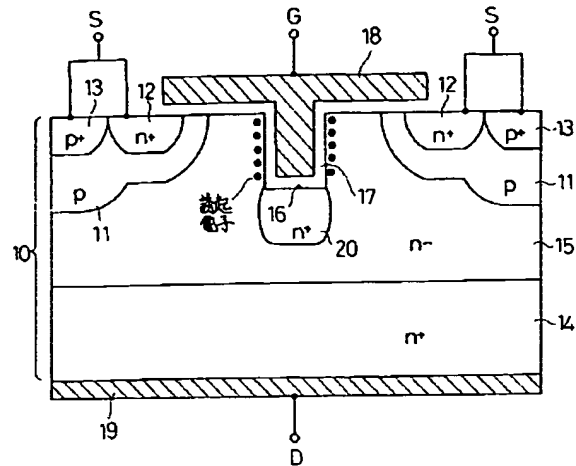
【図4】



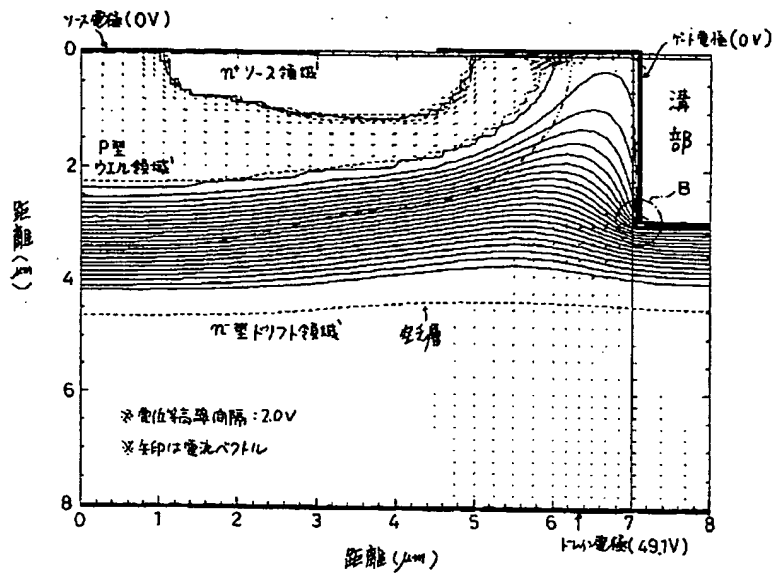
【図6】



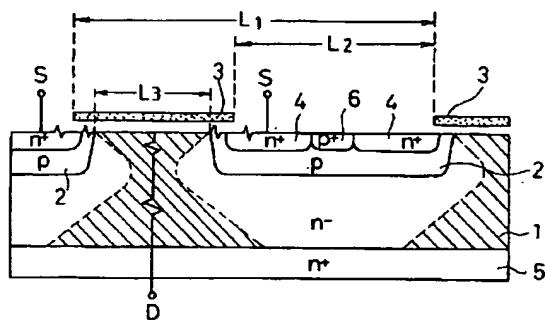
【図8】



【図7】



【図10】



【図11】

